

#4

PATENT  
2611-0137P

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: Koichi TAKIZAWA et al. Conf.: 3634  
Appl. No.: 09/734,618 Group: UNASSIGNED  
Filed: December 13, 2000 Examiner: UNASSIGNED  
For: DATA TRANSMISSION AND RECEPTION SYSTEM,  
DATA TRANSMITTER AND DATA RECEIVER



L E T T E R

Assistant Commissioner for Patents  
Washington, DC 20231

April 20, 2001

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	11-355070	December 14, 1999

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By

Michael K. Mutter, #29,680

MKM/RLS/lhb  
2611-0137P

P.O. Box 747  
Falls Church, VA 22040-0747  
(703) 205-8000

Attachment

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

App'n No: 09/734,618  
Filed: December 13, 2000  
Koichi TAKIZAWA et al  
Birch, Stewart, Kolasch &  
Birch, LLP  
(703) 205-8000

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日  
Date of Application: 1999年12月14日

出願番号  
Application Number: 平成11年特許願第355070号

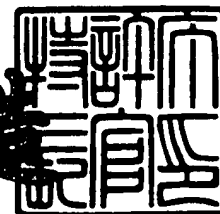
出願人  
Applicant(s): 三菱電機株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2000年12月 1日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3100521

【書類名】 特許願

【整理番号】 520464JP01

【提出日】 平成11年12月14日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 7/08  
H04J 3/06

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会  
社内

【氏名】 滝澤 晃一

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会  
社内

【氏名】 久保 和夫

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会  
社内

【氏名】 一番ヶ瀬 広

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089118

【弁理士】

【氏名又は名称】 酒井 宏明

【手数料の表示】

【予納台帳番号】 036711

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9803092

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ送受信システム、データ受信装置およびデータ送信装置

【特許請求の範囲】

【請求項 1】 伝送信号を低速な複数のトリビュタリ信号に多重分離し、該トリビュタリ信号毎にフレームを形成した後、高速の直列信号に多重化して伝送路に送信するデータ送信装置と、該伝送路から受信した信号を低速な複数のトリビュタリ信号に多重分離し、該トリビュタリ信号に対してトリビュタリ同期をおこなった後、高速な直列信号に多重化して、前記伝送信号を再生するデータ受信装置と、から構成されるデータ送受信システムにおいて、

前記データ送信装置は、前記フレームを形成する際に、前記フレームに該フレームの境界を示すフレームビットを挿入し、フレームを形成した後に、前記トリビュタリ信号間においてビット同期のみをおこない、

前記データ受信装置は、前記トリビュタリ信号毎に、該トリビュタリ信号により示されるデータを蓄えるとともに、該トリビュタリ信号の前記フレームビットの検出とトリビュタリ信号間に対して共通に発せられる基準フレームパルスとに基づいたタイミングで前記蓄えられたデータを出力することにより、前記トリビュタリ同期をおこなうことを特徴とするデータ送受信システム。

【請求項 2】 前記データ送信装置は、

前記伝送信号を複数のトリビュタリ信号に多重分離する第 1 の直並列変換回路と、

前記トリビュタリ信号毎に、当該トリビュタリ信号を識別するトリビュタリ ID 情報と前記フレームビットとを含むフレームを形成する符号化回路と、

前記符号化回路によりフレーム形成された各トリビュタリ信号毎に、前記ビット同期をおこなう遅延回路と、

前記遅延回路によりビット同期のおこなわれた各トリビュタリ信号を高速の直列信号に多重化して伝送路に送信する第 1 の並直列変換回路と、

を備え、

前記データ受信装置は、

前記伝送路に送信された高速の直列信号を複数のトリビュタリ信号に多重分離

する第 2 の直並列変換回路と、

前記トリビュタリ信号毎に、該トリビュタリ信号により示されるデータを蓄え  
るとともに、該トリビュタリ信号の前記フレームビットおよび前記トリビュタリ  
ID 情報を検出し、当該フレームビットの検出と前記トリビュタリ信号間に対し  
て共通して発せられる基準フレームパルスとに基づいて前記蓄えられたデータを  
出力するトリビュタリ同期回路と、

前記トリビュタリ同期回路によりトリビュタリ同期のおこなわれた各トリビュ  
タリ信号の示すデータを、前記トリビュタリ ID 情報に基づいて入れ替えるデー  
タ入替回路と、

前記データ入替回路により入れ替えられた前記トリビュタリ信号に対し、前記  
符号化回路による符号化に対応した復号化をおこなう復号化回路と、

前記復号化回路により復号化された各トリビュタリ信号を高速な直列信号に多  
重化し、前記伝送信号を再生する第 2 の並直列変換回路と、

を備えたことを特徴とする請求項 1 に記載のデータ送受信システム。

【請求項 3】 前記トリビュタリ同期回路は、

前記トリビュタリ信号毎に前記フレームビットを検出してフレームパルスを出  
力するフレームビット検出部と、

前記基準フレームパルスを生成する基準フレームパルス生成部と、

前記トリビュタリ信号毎に、該トリビュタリ信号の示すデータを蓄えるととも  
に、前記データを、前記基準フレームパルスおよび前記フレームパルスに基づく  
タイミングにより前記トリビュタリ信号間のフレームビットの位相が揃った状態  
で出力するバッファと、

を備えたことを特徴とする請求項 2 に記載のデータ送受信システム。

【請求項 4】 前記データ送信装置は、

前記伝送信号を複数のトリビュタリ信号に多重分離する第 1 の直並列変換回路  
と、

前記トリビュタリ信号毎に、当該トリビュタリ信号を識別するトリビュタリ ID  
情報と前記フレームビットとを含むフレームを形成する符号化回路と、

前記符号化回路によりフレーム形成された各トリビュタリ信号毎に、前記ビッ

ト同期をおこなう遅延回路と、

前記遅延回路によりビット同期のおこなわれた各トリビュタリ信号を高速の直列信号に多重化して前記伝送路に送信する第 1 の並直列変換回路と、

を備え、

前記データ受信装置は、

前記伝送路に送信された高速の直列信号を複数のトリビュタリ信号に多重分離する第 2 の直並列変換回路と、

前記複数のトリビュタリ信号の示すデータ間を、データ入替制御信号に基づいて入れ替えるデータ入替回路と、

前記データ入替回路により入れ替えられた前記トリビュタリ信号毎に、該トリビュタリ信号の前記フレームビットを検出してフレームパルスを出し前記トリビュタリ ID 情報を検出してトリビュタリ ID 信号を出力するとともに、該トリビュタリ信号に対して前記符号化回路による符号化に対応した復号化をおこなう復号化回路と、

前記トリビュタリ ID 信号の示すトリビュタリ ID 情報が所定の ID 情報と一致するか否かを判定し、一致しない場合に前記データ入替制御信号を出力するデータ入替制御回路と、

前記トリビュタリ信号毎に、該トリビュタリ信号により示されるデータを一時的に蓄えるとともに、前記フレームパルスと前記トリビュタリ信号間に対して共通して発せられる基準フレームパルスとに基づいて前記蓄えられたデータを出力するトリビュタリ同期回路と、

前記トリビュタリ同期回路によりトリビュタリ同期のおこなわれた各トリビュタリ信号を高速な直列信号に多重化し、前記伝送信号を再生する第 2 の並直列変換回路と、

を備えたことを特徴とする請求項 1 に記載のデータ送受信システム。

【請求項 5】 前記復号化回路は、前記データ入替回路により入れ替えられた前記トリビュタリ信号毎に、

該トリビュタリ信号の前記フレームビットを検出してフレームパルスを生成するフレームビット検出部と、

前記フレームパルスに基づいたタイミングで、前記トリビュタリ信号の前記トリビュタリ ID 情報を検出してトリビュタリ ID 信号を生成するトリビュタリ ID 情報検出部と、

前記フレームパルスに基づいたタイミングで、前記トリビュタリ信号に対して前記符号化回路による符号化に対応した復号化をおこなう復号化部と、

を備え、

前記フレームパルス、前記トリビュタリ ID 信号および前記復号化のおこなわれたトリビュタリ信号を出力することを特徴とする請求項 4 に記載のデータ送受信システム。

【請求項 6】 前記トリビュタリ同期回路は、

前記基準フレームパルスを生成する基準フレームパルス生成部と、

前記トリビュタリ信号毎に、前記フレームビットを書き込むための所定のアドレスと前記フレームパルスとに基づいて定まるアドレスに順に該トリビュタリ信号の示すデータを蓄えけるとともに、前記データを、前記基準フレームパルスに基づくタイミングにより前記所定のアドレスから出力するバッファと、

を備えたことを特徴とする請求項 4 または 5 に記載のデータ送受信システム。

【請求項 7】 前記データ送信装置は、前記遅延回路に代えて、

前記符号化回路によりフレーム形成された各トリビュタリ信号毎に、前記トリビュタリ信号間において共通のクロック信号に対する該トリビュタリ信号の位相ずれを検出し、検出した位相ずれに応じて前記トリビュタリ信号を遅延させることでビット同期をおこなうビット同期回路を、備えたことを特徴とする請求項 1 ～ 6 のいずれか一つに記載のデータ送受信システム。

【請求項 8】 伝送信号を低速な複数のトリビュタリ信号に多重分離し、該トリビュタリ信号毎にフレームを形成した後、高速の直列信号に多重化して伝送路に送信するデータ送信装置とともにデータ送受信システムを構成し、かつ前記高速の直列信号を低速な複数のトリビュタリ信号に多重分離し、該トリビュタリ信号に対してトリビュタリ同期をおこなった後、高速な直列信号に多重化して、前記伝送信号を再生するデータ受信装置において、

前記トリビュタリ信号毎に、該トリビュタリ信号により示されるデータを蓄え



るとともに、該トリビュタリ信号から前記フレームの境界を示すフレームビットを検出し、検出したフレームビットとトリビュタリ信号間に対して共通に発せられる基準フレームパルスとに基づいたタイミングで前記蓄えられたデータを出力することにより、前記トリビュタリ同期をおこなうことを特徴とするデータ受信装置。

【請求項 9】 前記伝送路に送信された高速な信号を複数のトリビュタリ信号に多重分離する直並列変換回路と、

前記トリビュタリ信号毎に、該トリビュタリ信号により示されるデータを蓄えるとともに、該トリビュタリ信号の前記フレームビットおよび該トリビュタリ信号を識別するトリビュタリ ID 情報を検出し、当該フレームビットの検出と前記トリビュタリ信号間に対して共通して発せられる基準フレームパルスとに基づいて前記蓄えられたデータを出力するトリビュタリ同期回路と、

前記トリビュタリ同期回路によりトリビュタリ同期のおこなわれた各トリビュタリ信号の示すデータを、前記トリビュタリ ID 情報に基づいて入れ替えるデータ入替回路と、

前記データ入替回路により入れ替えられた前記トリビュタリ信号に対し、前記符号化回路による符号化に対応した復号化をおこなう復号化回路と、

前記復号化回路により復号化された各トリビュタリ信号を高速な直列信号に多重化し、前記伝送信号を再生する並直列変換回路と、

を備えたことを特徴とする請求項 8 に記載のデータ受信装置。

【請求項 10】 前記トリビュタリ同期回路は、

前記トリビュタリ信号毎に前記フレームビットを検出してフレームパルスを出力するフレームビット検出部と、

前記基準フレームパルスを生成する基準フレームパルス生成部と、

前記トリビュタリ信号毎に、該トリビュタリ信号の示すデータを蓄えとともに、前記データを、前記基準フレームパルスおよび前記フレームパルスに基づくタイミングにより前記トリビュタリ信号間のフレームビットの位相が揃った状態で出力するバッファと、

を備えたことを特徴とする請求項 9 に記載のデータ受信装置。

【請求項 1 1】 前記伝送路に送信された高速の直列信号を複数のトリビュタリ信号に多重分離する直並列変換回路と、

前記複数のトリビュタリ信号の示すデータ間を、データ入替制御信号に基づいて入れ替えるデータ入替回路と、

前記データ入替回路により入れ替えられた前記トリビュタリ信号毎に、該トリビュタリ信号の前記フレームビットを検出してフレームパルスを出し前記トリビュタリ ID 情報を検出してトリビュタリ ID 信号を出力するとともに、該トリビュタリ信号に対して前記符号化回路による符号化に対応した復号化をおこなう復号化回路と、

前記トリビュタリ ID 信号の示すトリビュタリ ID 情報が所定の ID 情報と一致するか否かを判定し、一致しない場合に前記データ入替制御信号を出力するデータ入替制御回路と、

前記トリビュタリ信号毎に、該トリビュタリ信号により示されるデータを一時的に蓄えるとともに、前記フレームパルスと前記トリビュタリ信号間に対して共通して発せられる基準フレームパルスとに基づいて前記蓄えられたデータを出力するトリビュタリ同期回路と、

前記トリビュタリ同期回路によりトリビュタリ同期のおこなわれた各トリビュタリ信号を高速な直列信号に多重化し、前記伝送信号を再生する並直列変換回路と、

を備えたことを特徴とする請求項 8 に記載のデータ受信装置。

【請求項 1 2】 前記復号化回路は、前記データ入替回路により入れ替えられた前記トリビュタリ信号毎に、該トリビュタリ信号の前記フレームビットを検出してフレームパルスを生成するフレームビット検出部と、

前記フレームパルスに基づいたタイミングで、前記トリビュタリ信号の前記トリビュタリ ID 情報を検出してトリビュタリ ID 信号を生成するトリビュタリ ID 情報検出部と、

前記フレームパルスに基づいたタイミングで、前記トリビュタリ信号に対して前記符号化回路による符号化に対応した復号化をおこなう復号化部と、

を備え、

前記フレームパルス、前記トリビュタリ I D 信号および前記復号化のおこなわれたトリビュタリ信号を出力することを特徴とする請求項 1 1 に記載のデータ受信装置。

【請求項 1 3】 前記トリビュタリ同期回路は、  
前記基準フレームパルスを生成する基準フレームパルス生成部と、  
前記トリビュタリ信号毎に、前記フレームビットを書き込むための所定のアドレスと前記フレームパルスとに基づいて定まるアドレスに順に該トリビュタリ信号の示すデータを蓄えけるとともに、前記データを、前記基準フレームパルスに基づくタイミングにより前記所定のアドレスから出力するバッファと、  
を備えたことを特徴とする請求項 1 1 または 1 2 に記載のデータ受信装置。

【請求項 1 4】 伝送信号を低速な複数のトリビュタリ信号に多重分離し、  
該トリビュタリ信号毎にフレームを形成した後、高速の直列信号に多重化して伝送路に送信するデータ送信装置において、

前記伝送信号を複数のトリビュタリ信号に多重分離する直並列変換回路と、  
前記トリビュタリ信号毎に、当該トリビュタリ信号を識別するトリビュタリ I D 情報と前記フレームビットとを含むフレームを形成する符号化回路と、  
前記符号化回路によりフレーム形成された各トリビュタリ信号毎に、前記トリビュタリ信号間において共通のクロック信号に対する該トリビュタリ信号の位相ずれを検出し、検出した位相ずれに応じて前記トリビュタリ信号を遅延させることでビット同期をおこなうビット同期回路と、

前記ビット同期回路によりビット同期のおこなわれた各トリビュタリ信号を高速の直列信号に多重化して伝送路に送信する並直列変換回路と、  
を備えたことを特徴とするデータ送信装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、伝送するデータを多重分離して符号化および復号化処理をおこなうデータ通信方式において、伝送するデータを伝送前後において一致させるためにトリビュタリ信号間を同期させるデータ送受信システム、データ受信装置およ

びデータ送信装置に関するものである。

【0002】

【従来の技術】

国際的なデジタル通信網の拡大にともない、CCITT（国際電信電話諮問委員会）では、デジタル通信の信号多重化に際して階層的にチャネルを多重化する規則としてSDH（Synchronous Digital Hierarchy：同期デジタルハイアラキ）を勧告し、デジタル通信の相互接続を目指している。

【0003】

このSDHはSTM（Synchronous Transfer Module：同期伝送モジュール）と呼ばれるモジュールを多重化してデジタル通信をおこなうものであり、CCITTでは、STM-1（同期伝送モジュールレベル1、ビットレート155.52Mb/s）、STM-4（同期伝送モジュールレベル4、ビットレート622.08Mb/s）、STM-16（同期伝送モジュールレベル16、ビットレート2.48832Gb/s）等のSTMに関して勧告している。

【0004】

特に、SDHは、近年の広帯域通信ネットワークの構築において重要な技術の一つであるATM（Asynchronous Transfer Mode：非同期転送モード）を導入する上での基盤となる多重通信方式である。

【0005】

このような通信方式に対応した従来の同期多重変換装置として、たとえば特開平5-175953号の公報に「同期検出回路」が開示されている。図8は、この従来の同期検出回路の概略構成を示すブロック図であり、特に、上記したSTM-4多重信号に対して同期検出をおこなう回路を示している。

【0006】

図8において、従来の同期検出回路は、直列STM-4多重信号705を8ビット並列のSTM-4多重信号706に変換するビット直並列変換回路701と、この多重信号706を8ビット並列の4つのSTM-1信号707a、707

b、707cおよび707dに変換するバイト直並列変換回路702と、各トリビュタリのSTM-1信号707a、707b、707cおよび707dのフレームパターンを検出してビットシフト信号701a、702a、703aおよび704aとフレームパターン検出信号701b、702b、703bおよび704bを出力する第1～第4フレームパターン検出回路731～734と、各フレームパターン検出回路731～734から入力したビットシフト信号701a～704aに基づいてビット直並列変換回路701にビットシフト命令709aを出力するビットシフト制御回路708と、各フレームパターン検出回路731～734から入力したフレームパターン検出信号701b～704bに基づいてバイト直並列変換回路702にトリビュタリシフト命令704jを出力する同期制御回路704と、ビットシフト制御回路708および同期制御回路704の出力を入力する論理積回路709とを備えている。

#### 【0007】

つぎに、この同期検出回路の動作について説明する。まず、各フレームパターン検出回路731～734が、バイト直並列変換回路702によって多重分離された各STM-1信号707a～707d毎に、すなわち各トリビュタリ毎にそのSTM-1信号のビットずれを検出し、ビットシフト制御回路708にビットシフト信号701a～704aを出力する。

#### 【0008】

ビットシフト制御回路708では、これらビットシフト信号701a～704aの値が互いに一致するかを判定し、0意外の値で一致する場合に、ビット進み判定信号708bを同期制御回路704に送信し、同時にその値に相当するパルス708aを論理積回路709に送信する。

#### 【0009】

一方、同期制御回路704には、各フレームパターン検出回路731～734の出力するフレームパターン検出信号701b～704bが入力される。同期制御回路704は、これらフレームパターン検出信号701b～704bに基づいてトリビュタリ同期のずれを判定し、そのずれに相当するパルスをトリビュタリシフト命令704jとしてバイト直並列変換回路702へと出力する。

## 【0010】

また、同期制御回路704では、これらフレームパタン検出信号701b~704bとビットシフト制御回路708から出力されたビット進み判定信号708bとに基づいて同期外れ状態を検出し、同期外れ信号704kを論理積回路709に送信する。よって、論理積回路709は、ビット進み値を示すパルス708aと同期外れ信号704kとを入力し、これら信号の論理積演算の結果をビット直並列変換回路701へと出力することになる。これは、ビット直並列変換回路701が、同期外れの状態においてビットシフト命令709aを入力することを意味する。

## 【0011】

よって、ビット直並列変換回路701およびバイト直並列変換回路702が、それぞれ上記したビットシフト命令709aおよびトリビュタリシフト命令704jを入力し、各信号に応じて同期引き込み動作をおこなうことによって、トリビュタリ同期が確立される。

## 【0012】

## 【発明が解決しようとする課題】

しかしながら、上述した従来の同期検出回路によれば、フレームパタン検出信号701b~704bの発生タイミングによってトリビュタリずれの量を検出し、この量に相当するパルスをトリビュタリシフト命令704jとしてバイト直並列変換回路702に入力することにより、トリビュタリずれの補正を実現しており、前提として、直列STM-4多重信号705を受信する際に、各トリビュタリのフレームビットが揃っている必要がある。

## 【0013】

図9は、従来の同期検出回路の動作において、データに含まれるフレームビット位置を説明するための説明図である。図9に示すように、上述した同期検出回路を搭載した受信装置とともにデータ送受信システムを構築する送信装置側において、各トリビュタリ信号801a、801b、801cおよび801dに、同時刻にフレームビット802が挿入される。よって、並直列変換により多重化された信号803内では各トリビュタリ信号のフレームビットは所定の位置に配置

される。

【0014】

そして、受信装置側において直並列変換される際、その変換のタイミングにより各トリビュタリ信号のフレームビット位置にずれが生じる。上述した同期検出回路は、これら各トリビュタリ信号のビットずれを検出することによって、本来分配されるトリビュタリ信号を判別しており、この情報をもとに直並列変換回路のタイミングを調整してトリビュタリ同期を実現している。

【0015】

従って、従来の同期検出回路によりトリビュタリ同期を実現するためには、送信装置側において各トリビュタリ信号のフレームビットの位相を揃えて出力する必要がある。

【0016】

ところが、通信の高速化が進むにつれ、デバイスの位相ばらつきや製造、実装のばらつきによる並列信号の位相スキューが無視できなくなり、更に通信の高速化が進めば各トリビュタリ信号間のフレームの位相ばらつきが1ビット以上の位相差を持つような場合には、送信装置内の並直列変換回路においてトリビュタリ信号のフレーム位相を揃えて並直列変換することが困難になるという問題が生じる。

【0017】

一方、上述した同期検出回路を受信装置に導入したデータ送受信システムでは、送信装置側で各トリビュタリ信号間のフレーム位相がずれた状態で並直列変換し伝送してしまうと、受信装置において正常なトリビュタリ同期が取れず、元の信号を再生することはできない。

【0018】

この発明は上記のような問題点を解決するためになされたもので、データ送信側において各トリビュタリ間のフレーム位相を揃えることなく、高速なトリビュタリ同期を実現することが可能なデータ送受信システム、データ受信装置およびデータ送信装置を得ることを目的とする。

【0019】

## 【課題を解決するための手段】

上述した課題を解決し、目的を達成するため、この発明にかかるデータ送受信システムにあっては、伝送信号を低速な複数のトリビュタリ信号に多重分離し、該トリビュタリ信号毎にフレームを形成した後、高速の直列信号に多重化して伝送路に送信するデータ送信装置と、該伝送路から受信した信号を低速な複数のトリビュタリ信号に多重分離し、該トリビュタリ信号に対してトリビュタリ同期をおこなった後、高速な直列信号に多重化して、前記伝送信号を再生するデータ受信装置と、から構成されるデータ送受信システムにおいて、前記データ送信装置が、前記フレームを形成する際に、前記フレームに該フレームの境界を示すフレームビットを挿入し、フレームを形成した後に、前記トリビュタリ信号間においてビット同期のみをおこない、前記データ受信装置が、前記トリビュタリ信号毎に、該トリビュタリ信号により示されるデータを蓄えとともに、該トリビュタリ信号の前記フレームビットの検出とトリビュタリ信号間に対して共通に発せられる基準フレームパルスとに基づいたタイミングで前記蓄えられたデータを出力することにより、前記トリビュタリ同期をおこなうことを特徴とする。

## 【0020】

この発明によれば、データ送信装置が、フレーム形成されたトリビュタリ信号間の同期としてビット同期のみをおこなった信号を伝送路上に送信し、データ受信装置が、その信号を受信して多重分離したトリビュタリ信号毎に、そのトリビュタリ信号により示されるデータを蓄え、各トリビュタリ信号のフレームビットの検出と基準フレームパルスとに基づいたタイミングで、上記したデータを出力することによりトリビュタリ同期を達成するので、送信側においてフレーム同期をおこなわずとも、受信側においてフレームの位相を揃えることができる。

## 【0021】

つぎの発明にかかるデータ送受信システムにあっては、前記データ送信装置が、前記伝送信号を複数のトリビュタリ信号に多重分離する第1の直並列変換回路と、前記トリビュタリ信号毎に、当該トリビュタリ信号を識別するトリビュタリID情報と前記フレームビットとを含むフレームを形成する符号化回路と、前記符号化回路によりフレーム形成された各トリビュタリ信号毎に、前記ビット同期



をおこなう遅延回路と、前記遅延回路によりビット同期のおこなわれた各トリビュタリ信号を高速の直列信号に多重化して伝送路に送信する第1の並直列変換回路と、を備え、前記データ受信装置が、前記伝送路に送信された高速の直列信号を複数のトリビュタリ信号に多重分離する第2の直並列変換回路と、前記トリビュタリ信号毎に、該トリビュタリ信号により示されるデータを蓄えるとともに、該トリビュタリ信号の前記フレームビットおよび前記トリビュタリID情報を検出し、当該フレームビットの検出と前記トリビュタリ信号間に対して共通して発せられる基準フレームパルスとに基づいて前記蓄えられたデータを出力するトリビュタリ同期回路と、前記トリビュタリ同期回路によりトリビュタリ同期のおこなわれた各トリビュタリ信号の示すデータを、前記トリビュタリID情報に基づいて入れ替えるデータ入替回路と、前記データ入替回路により入れ替えられた前記トリビュタリ信号に対し、前記符号化回路による符号化に対応した復号化をおこなう復号化回路と、前記復号化回路により復号化された各トリビュタリ信号を高速な直列信号に多重化し、前記伝送信号を再生する第2の並直列変換回路と、を備えたことを特徴とする。

## 【0022】

この発明によれば、データ送信装置が、第1の直並列変換回路、符号化回路、遅延回路および第1の並直列変換回路により、順に伝送信号のトリビュタリ信号への多重分離、フレーム形成、ビット同期および多重化送信をおこない、データ受信装置が、第2の直並列変換回路、トリビュタリ同期回路、データ入替回路、復号化回路および第2の並直列変換回路により、順に伝送信号のトリビュタリ信号への多重分離、フレームビットの検出と基準フレームパルスとに基づいたタイミングによる各トリビュタリ信号の出力、トリビュタリID情報に基づくデータの入れ替え、フレーム形成に対する復号化および再度の多重化による伝送信号の再生をおこなうことで、受信側でトリビュタリ同期を達成するので、データ送信装置においてフレーム同期をおこなわずとも、データ受信装置のトリビュタリ同期回路においてフレームの位相を揃え、伝送信号を再生することができる。

## 【0023】

つぎの発明にかかるデータ送受信システムにあっては、前記トリビュタリ同期

回路が、前記トリビュタリ信号毎に前記フレームビットを検出してフレームパルスを出力するフレームビット検出部と、前記基準フレームパルスを生成する基準フレームパルス生成部と、前記トリビュタリ信号毎に、該トリビュタリ信号の示すデータを蓄えるとともに、前記データを、前記基準フレームパルスおよび前記フレームパルスに基づくタイミングにより前記トリビュタリ信号間のフレームビットの位相が揃った状態で出力するバッファと、を備えたことを特徴とする。

## 【0024】

この発明によれば、トリビュタリ同期回路が、トリビュタリ信号の示すデータをバッファに蓄積し、フレームビット検出部により出力されるフレームパルスと、基準フレームパルス生成部により生成される基準フレームパルスと、に定まるタイミングによって、上記したバッファに蓄えられたデータを取り出すことで、各トリビュタリ信号をトリビュタリ信号間のフレームビットの位相が揃った状態で出力させることができる。

## 【0025】

つぎの発明にかかるデータ送受信システムにあつては、前記データ送信装置が、前記伝送信号を複数のトリビュタリ信号に多重分離する第1の直並列変換回路と、前記トリビュタリ信号毎に、当該トリビュタリ信号を識別するトリビュタリID情報と前記フレームビットとを含むフレームを形成する符号化回路と、前記符号化回路によりフレーム形成された各トリビュタリ信号毎に、前記ビット同期をおこなう遅延回路と、前記遅延回路によりビット同期のおこなわれた各トリビュタリ信号を高速の直列信号に多重化して前記伝送路に送信する第1の並直列変換回路と、を備え、前記データ受信装置が、前記伝送路に送信された高速の直列信号を複数のトリビュタリ信号に多重分離する第2の直並列変換回路と、前記複数のトリビュタリ信号の示すデータ間を、データ入替制御信号に基づいて入れ替えるデータ入替回路と、前記データ入替回路により入れ替えられた前記トリビュタリ信号毎に、該トリビュタリ信号の前記フレームビットを検出してフレームパルスを出力し前記トリビュタリID情報を検出してトリビュタリID信号を出力するとともに、該トリビュタリ信号に対して前記符号化回路による符号化に対応した復号化をおこなう復号化回路と、前記トリビュタリID信号の示すトリビュ

タリ I D 情報が所定の I D 情報と一致するか否かを判定し、一致しない場合に前記データ入替制御信号を出力するデータ入替制御回路と、前記トリビュタリ信号毎に、該トリビュタリ信号により示されるデータを一時的に蓄えるとともに、前記フレームパルスと前記トリビュタリ信号間に対して共通して発せられる基準フレームパルスとに基づいて前記蓄えられたデータを出力するトリビュタリ同期回路と、前記トリビュタリ同期回路によりトリビュタリ同期のおこなわれた各トリビュタリ信号を高速な直列信号に多重化し、前記伝送信号を再生する第 2 の並直列変換回路と、を備えたことを特徴とする。

## 【 0 0 2 6 】

この発明によれば、データ送信装置が、第 1 の直並列変換回路、符号化回路、遅延回路および第 1 の並直列変換回路により、順に伝送信号のトリビュタリ信号への多重分離、フレーム形成、ビット同期および多重化送信をおこない、データ受信装置が、第 2 の直並列変換回路、データ入替回路、復号化回路、データ入替制御回路、トリビュタリ同期回路および第 2 の並直列変換回路により、順に伝送信号のトリビュタリ信号への多重分離、データ入替制御信号に基づくデータの入れ替え、フレームビットの検出によるフレームパルスの出力とトリビュタリ I D 情報の検出によるトリビュタリ I D 信号の出力とフレーム形成に対する復号化、上記したフレームパルスと基準フレームパルスとに基づいたタイミングによる各トリビュタリ信号の出力、トリビュタリ I D 情報に基づくデータの入れ替え、上記したトリビュタリ I D 信号に基づく上記データ入替制御信号の出力、上記したフレームパルスと基準フレームパルスとに基づいたタイミングによる各トリビュタリ信号の出力および再度の多重化による伝送信号の再生をおこなうことで、受信側でトリビュタリ同期を達成するので、データ送信装置においてフレーム同期をおこなわずとも、データ受信装置のトリビュタリ同期回路においてフレームの位相を揃え、伝送信号を再生することができる。

## 【 0 0 2 7 】

つぎの発明にかかるデータ送受信システムにあつては、前記復号化回路が、前記データ入替回路により入れ替えられた前記トリビュタリ信号毎に、該トリビュタリ信号の前記フレームビットを検出してフレームパルスを生成するフレームビ

ット検出部と、前記フレームパルスに基づいたタイミングで、前記トリビュタリ信号の前記トリビュタリ ID 情報を検出してトリビュタリ ID 信号を生成するトリビュタリ ID 情報検出部と、前記フレームパルスに基づいたタイミングで、前記トリビュタリ信号に対して前記符号化回路による符号化に対応した復号化をおこなう復号化部と、を備え、前記フレームパルス、前記トリビュタリ ID 信号および前記復号化のおこなわれたトリビュタリ信号を出力することを特徴とする。

【 0 0 2 8 】

この発明によれば、復号化回路が、フレームビット検出部によりフレームビットを検出してフレームパルスを出力し、そのフレームパルスに基づいたタイミングで、トリビュタリ ID 情報検出部によりトリビュタリ ID 情報を検出してトリビュタリ ID 信号を生成するとともに復号化部によりフレーム形成に対する復号化をおこなうので、次段のトリビュタリ同期回路へ復号化後のトリビュタリ信号とともに上記フレームパルスを供給することが可能となる。

【 0 0 2 9 】

つぎの発明にかかるデータ送受信システムにあつては、前記トリビュタリ同期回路が、前記基準フレームパルスを生成する基準フレームパルス生成部と、前記トリビュタリ信号毎に、前記フレームビットを書き込むための所定のアドレスと前記フレームパルスとに基づいて定まるアドレスに順に該トリビュタリ信号の示すデータを蓄えとともに、前記データを、前記基準フレームパルスに基づくタイミングにより前記所定のアドレスから出力するバッファと、を備えたことを特徴とする。

【 0 0 3 0 】

この発明によれば、トリビュタリ同期回路が、バッファ中のフレームパルスにより定まるアドレスから順に、トリビュタリ信号の示すデータを蓄え、基準フレームパルス生成部により生成される基準フレームパルスに基づくタイミングで、そのデータを上記したアドレスから順に取り出すので、そのアドレスを、たとえばフレームビットが書き込まれる番地とすることで、各トリビュタリ信号をトリビュタリ信号間のフレームビットの位相が揃った状態で出力させることができる。

## 【0031】

つぎの発明にかかるデータ送受信システムにあっては、前記データ送信装置が、前記遅延回路に代えて、前記符号化回路によりフレーム形成された各トリビュタリ信号毎に、前記トリビュタリ信号間において共通のクロック信号に対する該トリビュタリ信号の位相ずれを検出し、検出した位相ずれに応じて前記トリビュタリ信号を遅延させることでビット同期をおこなうビット同期回路を、備えたことを特徴とする。

## 【0032】

この発明によれば、データ送信装置が、ビット同期をおこなう回路として、トリビュタリ信号間において共通なクロック信号に対する位相ずれを検出し、検出した位相ずれに応じて各トリビュタリ信号を遅延させるビット同期回路を用いることができる。

## 【0033】

つぎの発明にかかるデータ受信装置にあっては、伝送信号を低速な複数のトリビュタリ信号に多重分離し、該トリビュタリ信号毎にフレームを形成した後、高速の直列信号に多重化して伝送路に送信するデータ送信装置とともにデータ送受信システムを構成し、かつ前記高速の直列信号を低速な複数のトリビュタリ信号に多重分離し、該トリビュタリ信号に対してトリビュタリ同期をおこなった後、高速な直列信号に多重化して、前記伝送信号を再生するデータ受信装置において、前記トリビュタリ信号毎に、該トリビュタリ信号により示されるデータを蓄えとともに、該トリビュタリ信号から前記フレームの境界を示すフレームビットを検出し、検出したフレームビットとトリビュタリ信号間に対して共通に発せられる基準フレームパルスとに基づいたタイミングで前記蓄えられたデータを出力することにより、前記トリビュタリ同期をおこなうことを特徴とする。

## 【0034】

この発明によれば、伝送路から受信した信号を複数のトリビュタリ信号に多重分離し、各トリビュタリ信号毎に、そのトリビュタリ信号により示されるデータを蓄え、各トリビュタリ信号のフレームビットの検出と基準フレームパルスとに基づいたタイミングで、上記したデータを出力することによりトリビュタリ同期

を達成するので、送信側においてフレーム同期をおこなわれていない信号に対してもフレームの位相を揃えることができる。

## 【0035】

つぎの発明にかかるデータ受信装置にあっては、前記伝送路に送信された高速な信号を複数のトリビュタリ信号に多重分離する直並列変換回路と、前記トリビュタリ信号毎に、該トリビュタリ信号により示されるデータを蓄えるとともに、該トリビュタリ信号の前記フレームビットおよび該トリビュタリ信号を識別するトリビュタリID情報を検出し、当該フレームビットの検出と前記トリビュタリ信号間に対して共通して発せられる基準フレームパルスとに基づいて前記蓄えられたデータを出力するトリビュタリ同期回路と、前記トリビュタリ同期回路によりトリビュタリ同期のおこなわれた各トリビュタリ信号の示すデータを、前記トリビュタリID情報に基づいて入れ替えるデータ入替回路と、前記データ入替回路により入れ替えられた前記トリビュタリ信号に対し、前記符号化回路による符号化に対応した復号化をおこなう復号化回路と、前記復号化回路により復号化された各トリビュタリ信号を高速な直列信号に多重化し、前記伝送信号を再生する並直列変換回路と、を備えたことを特徴とする。

## 【0036】

この発明によれば、直並列変換回路、トリビュタリ同期回路、データ入替回路、復号化回路および並直列変換回路により、順に伝送信号のトリビュタリ信号への多重分離、フレームビットの検出と基準フレームパルスとに基づいたタイミングによる各トリビュタリ信号の出力、トリビュタリID情報に基づくデータの入れ替え、フレーム形成に対する復号化および再度の多重化による伝送信号の再生をおこなうことで、受信側でトリビュタリ同期を達成するので、データ送信装置においてフレーム同期がおこなわれていない信号に対しても、データ受信装置のトリビュタリ同期回路においてフレームの位相を揃え、伝送信号を再生することができる。

## 【0037】

つぎの発明にかかるデータ受信装置にあっては、前記トリビュタリ同期回路が、前記トリビュタリ信号毎に前記フレームビットを検出してフレームパルスを出

力するフレームビット検出部と、前記基準フレームパルスを生成する基準フレームパルス生成部と、前記トリビュタリ信号毎に、該トリビュタリ信号の示すデータを蓄えるとともに、前記データを、前記基準フレームパルスおよび前記フレームパルスに基づくタイミングにより前記トリビュタリ信号間のフレームビットの位相が揃った状態で出力するバッファと、を備えたことを特徴とする。

## 【0038】

この発明によれば、トリビュタリ同期回路が、トリビュタリ信号の示すデータをバッファに蓄積し、フレームビット検出部により出力されるフレームパルスと、基準フレームパルス生成部により生成される基準フレームパルスと、に定まるタイミングによって、上記したバッファに蓄えられたデータを取り出すことで、各トリビュタリ信号をトリビュタリ信号間のフレームビットの位相が揃った状態で出力させることができる。

## 【0039】

つぎの発明にかかるデータ受信装置にあっては、前記伝送路に送信された高速の直列信号を複数のトリビュタリ信号に多重分離する直並列変換回路と、前記複数のトリビュタリ信号の示すデータ間を、データ入替制御信号に基づいて入れ替えるデータ入替回路と、前記データ入替回路により入れ替えられた前記トリビュタリ信号毎に、該トリビュタリ信号の前記フレームビットを検出してフレームパルスを出し前記トリビュタリID情報を検出してトリビュタリID信号を出力するとともに、該トリビュタリ信号に対して前記符号化回路による符号化に対応した復号化をおこなう復号化回路と、前記トリビュタリID信号の示すトリビュタリID情報が所定のID情報と一致するか否かを判定し、一致しない場合に前記データ入替制御信号を出力するデータ入替制御回路と、前記トリビュタリ信号毎に、該トリビュタリ信号により示されるデータを一時的に蓄えるとともに、前記フレームパルスと前記トリビュタリ信号間に対して共通して発せられる基準フレームパルスとに基づいて前記蓄えられたデータを出しするトリビュタリ同期回路と、前記トリビュタリ同期回路によりトリビュタリ同期のおこなわれた各トリビュタリ信号を高速な直列信号に多重化し、前記伝送信号を再生する並直列変換回路と、を備えたことを特徴とする。

## 【0040】

この発明によれば、直並列変換回路、データ入替回路、復号化回路、データ入替制御回路、トリビュタリ同期回路および並直列変換回路により、順に伝送信号のトリビュタリ信号への多重分離、データ入替制御信号に基づくデータの入れ替え、フレームビットの検出によるフレームパルスの出力とトリビュタリID情報の検出によるトリビュタリID信号の出力とフレーム形成に対する復号化、上記したフレームパルスと基準フレームパルスとに基づいたタイミングによる各トリビュタリ信号の出力、トリビュタリID情報に基づくデータの入れ替え、上記したトリビュタリID信号に基づく上記データ入替制御信号の出力、上記したフレームパルスと基準フレームパルスとに基づいたタイミングによる各トリビュタリ信号の出力および再度の多重化による伝送信号の再生をおこなうことで、受信側でトリビュタリ同期を達成するので、データ送信装置においてフレーム同期をおこなわれてない信号に対しても、データ受信装置のトリビュタリ同期回路においてフレームの位相を揃え、伝送信号を再生することができる。

## 【0041】

つぎの発明にかかるデータ受信装置にあつては、前記復号化回路が、前記データ入替回路により入れ替えられた前記トリビュタリ信号毎に、該トリビュタリ信号の前記フレームビットを検出してフレームパルスを生成するフレームビット検出部と、前記フレームパルスに基づいたタイミングで、前記トリビュタリ信号の前記トリビュタリID情報を検出してトリビュタリID信号を生成するトリビュタリID情報検出部と、前記フレームパルスに基づいたタイミングで、前記トリビュタリ信号に対して前記符号化回路による符号化に対応した復号化をおこなう復号化部と、を備え、前記フレームパルス、前記トリビュタリID信号および前記復号化のおこなわれたトリビュタリ信号を出力することを特徴とする。

## 【0042】

この発明によれば、復号化回路が、フレームビット検出部によりフレームビットを検出してフレームパルスを出力し、そのフレームパルスに基づいたタイミングで、トリビュタリID情報検出部によりトリビュタリID情報を検出してトリビュタリID信号を生成するととともに復号化部によりフレーム形成に対する復



号化をおこなうので、次段のトリビュタリ同期回路へ復号化後のトリビュタリ信号とともに上記フレームパルスを供給することが可能となる。

## 【0043】

つぎの発明にかかるデータ受信装置にあっては、前記トリビュタリ同期回路が、前記基準フレームパルスを生成する基準フレームパルス生成部と、前記トリビュタリ信号毎に、前記フレームビットを書き込むための所定のアドレスと前記フレームパルスとに基づいて定まるアドレスに順に該トリビュタリ信号の示すデータを蓄えとともに、前記データを、前記基準フレームパルスに基づくタイミングにより前記所定のアドレスから出力するバッファと、を備えたことを特徴とする。

## 【0044】

この発明によれば、トリビュタリ同期回路が、バッファ中のフレームパルスにより定まるアドレスから順に、トリビュタリ信号の示すデータを蓄え、基準フレームパルス生成部により生成される基準フレームパルスに基づくタイミングで、そのデータを上記したアドレスから順に取り出すので、そのアドレスを、たとえばフレームビットが書き込まれる番地とすることで、各トリビュタリ信号をトリビュタリ信号間のフレームビットの位相が揃った状態で出力させることができる。

## 【0045】

つぎの発明にかかるデータ送信装置にあっては、伝送信号を低速な複数のトリビュタリ信号に多重分離し、該トリビュタリ信号毎にフレームを形成した後、高速の直列信号に多重化して伝送路に送信するデータ送信装置において、前記伝送信号を複数のトリビュタリ信号に多重分離する直並列変換回路と、前記トリビュタリ信号毎に、当該トリビュタリ信号を識別するトリビュタリID情報と前記フレームビットとを含むフレームを形成する符号化回路と、前記符号化回路によりフレーム形成された各トリビュタリ信号毎に、前記トリビュタリ信号間において共通のクロック信号に対する該トリビュタリ信号の位相ずれを検出し、検出した位相ずれに応じて前記トリビュタリ信号を遅延させることでビット同期をおこなうビット同期回路と、前記ビット同期回路によりビット同期のおこなわれた各ト

リビュタリ信号を高速の直列信号に多重化して伝送路に送信する並直列変換回路と、を備えたことを特徴とする。

【0046】

この発明によれば、ビット同期をおこなう回路として、トリビュタリ信号間において共通なクロック信号に対する位相ずれを検出し、検出した位相ずれに応じて各トリビュタリ信号を遅延させるビット同期回路を用いることができる。

【0047】

# 【発明の実施の形態】

以下に、この発明にかかるデータ送受信システム、データ受信装置およびデータ送信装置の実施の形態を図面に基づいて詳細に説明する。なお、この実施の形態によりこの発明が限定されるものではない。

【0048】

## 実施の形態 1.

まず、実施の形態 1 にかかるデータ送受信システム、データ受信装置およびデータ送信装置について説明する。実施の形態 1 にかかるデータ送受信システムは、データ送信装置において複数のトリビュタリ信号毎にフレームビットを挿入するとともに各フレームビット間の位相を揃えることなくトリビュタリ信号間のビット同期のみをおこなった後に多重化してデータを送信し、データ受信装置においてその多重化されたデータをトリビュタリ信号毎に分離し、各トリビュタリ信号をフレームビットの検出とともに共通のフレームパルスの生成タイミングで取り出すことによって、トリビュタリ同期をおこなうことを特徴としている。

【0049】

図 1 は、実施の形態 1 にかかるデータ送受信システムの概略構成を示すブロック図である。図 1 に示すデータ送受信システムは、複数のトリビュタリの多重化によって構成された高速信号を伝送路 110 に送信するデータ送信装置 10 と、その高速信号を受信して元のデータに再生するデータ受信装置 20 と、から構成される。

【0050】

図 1 において、データ送信装置 10 は、信号 111 を複数のトリビュタリ信号

1 1 2 a ~ 1 1 2 n に分配する直並列変換回路 1 0 1 と、各トリビュタリ信号毎にフレームビットとトリビュタリ ID 情報とを含んだフレームを形成する符号化回路 1 0 2 と、符号化回路 1 0 2 によりフレーム化された各トリビュタリ信号のビット位相を揃える遅延回路 1 0 3 と、遅延回路 1 0 3 によりビット位相が揃った各トリビュタリ信号を直列の高速信号 1 1 3 に変換する並直列変換回路 1 0 4 と、を備えて構成される。

## 【 0 0 5 1 】

また、データ受信装置 2 0 は、直列の高速信号 1 1 3 を各トリビュタリ信号 1 1 4 a ~ 1 1 4 n に分配する直並列変換回路 1 0 5 と、直並列変換回路 1 0 5 により分配された各トリビュタリ信号 1 1 4 a ~ 1 1 4 n 間の信号のフレーム位相を揃えるトリビュタリ同期回路 1 0 6 と、トリビュタリ同期回路 1 0 6 によりフレーム位相が揃った各トリビュタリ信号 1 1 4 a ~ 1 1 4 n 間でデータの入れ替えをおこなうデータ入替回路 1 0 7 と、データ入替回路 1 0 7 から出力された各トリビュタリ信号 1 1 4 a ~ 1 1 4 n 毎に、データの復号化をおこなう復号化回路 1 0 8 と、復号化回路 1 0 8 で復号化された各トリビュタリ信号 1 1 4 a ~ 1 1 4 n を並直列変換し元のデータ信号 1 1 5 に再生する並直列変換回路 1 0 9 と、を備えて構成される。

## 【 0 0 5 2 】

図 2 は、上記したトリビュタリ同期回路 1 0 6 の概略構成を示すブロック図である。図 2 において、トリビュタリ同期回路 1 0 6 は、各トリビュタリ信号 1 1 4 a ~ 1 1 4 n において挿入されているフレームビットの位置を検出するフレームビット検出部 2 0 2 と、各トリビュタリ信号を蓄えるバッファ 2 0 1 と、バッファ 2 0 1 に蓄えられたトリビュタリ信号を出力するタイミングとなる基準フレームパルス 2 1 1 を生成する基準フレームパルス生成部 2 0 3 と、を備えて構成されている。

## 【 0 0 5 3 】

つぎに、上記したデータ送信装置 1 0 とデータ受信装置 2 0 とから構成されるデータ送受信システムの動作について説明する。まず、データ伝送の対象となる信号 1 1 1 が、データ送信装置 1 0 の直並列変換回路 1 0 1 に入力され、より低

速の並列信号に変換されて、複数のトリビュタリ信号 112a~112nとして出力される。

【0054】

符号化回路 102では、上記した各トリビュタリ信号から、フレームビットとトリビュタリID情報を含んだオーバヘッドとともに、規定されたバイト数のフレームを構成する。

【0055】

符号化回路 102によりフレーム化された各トリビュタリ信号は、それぞれ遅延回路 103に入力される。遅延回路 103は、次段の並直列変換回路 104に入力される並列信号のビットの位相を揃えるための回路、換言すればビットクロックの同期をおこなう回路である。すなわち、この遅延回路 103により、各トリビュタリ信号により示されるデータは、所定のパルス幅を有するビット単位での比較または調整を容易にする。

【0056】

そして、遅延回路 103によりビット位相が揃った各トリビュタリ信号は、並直列変換回路 104によって並直列変換され、高速信号 113として伝送路 110に送信される。すなわち、データ送信装置 10においては、ビット位相同期のみをおこない、上述した従来の送信装置のようにフレームビットに基づくフレーム位相同期をおこなわない。

【0057】

一方、データ受信装置 20では、伝送路 110から受信した高速信号 113を、直並列変換回路 105に入力する。直並列変換回路 105では、高速信号 113を各トリビュタリ信号 114a~114nに並列変換することで多重分離する。そして、直並列変換回路 105により並列変換された各トリビュタリ信号は、トリビュタリ同期回路 106に入力される。

【0058】

トリビュタリ同期回路 106では、図2に示すように、各トリビュタリ信号の示すデータをバッファ 201に随時書き込むとともに、それらトリビュタリ信号をそれぞれフレームビット検出部 202に入力する。フレームビット検出部 20

2では、入力されたトリビュタリ信号からフレームビットの位置を検出し、その検出結果と、基準フレームパルス生成部203から出力される基準フレームパルス211と、に基づいたタイミングを示す信号をバッファ201に入力する。

#### 【0059】

ここで、基準フレームパルス生成部203により生成される基準フレームパルス211は、各バッファ201に書き込まれたデータをトリビュタリ同期回路106から同時に出力させるためのタイミングを示す信号である。各フレームビット検出部202間において検出されるフレームビットのタイミングは、通常互いに異なっているが、各トリビュタリ信号を示すデータはそれぞれバッファ201に蓄えられているため、そのバッファ201からのデータの出力タイミングを調整することにより、各トリビュタリ信号を、フレームビットの位相を揃えて出力させることができる。

#### 【0060】

その出力タイミングを決定する基準となるものが、上記した基準フレームパルス211である。よって、基準フレームパルス211の発生タイミングから所定数経たビットパルスの位置に、バッファ201中のデータのフレームビットが位置するようなタイミングで、そのバッファ201のデータを取り出すことにより、トリビュタリ信号のフレーム位相同期、すなわちトリビュタリ同期が達成される。

#### 【0061】

なお、各フレームビット検出部202によって検出されたフレームビット位置を示す信号は、後段のデータ入替回路107および復号化回路108にも入力される。

#### 【0062】

そして、トリビュタリ同期回路106によりフレーム位相同期が確立された各トリビュタリ信号は、データ入替回路107に入力される。データ入替回路107では、各トリビュタリ信号からトリビュタリID情報を検出し、検出したトリビュタリID情報に従った順に各トリビュタリ信号を入れ替える。

#### 【0063】

図3は、実施の形態1にかかるデータ送受信システムの動作において、データに含まれるフレームビット位置を説明するための説明図である。図3に示すように、データ送信装置10側において、各トリビュタリ信号801a、801b、801cおよび801dは、それぞれフレームビット802が挿入されるが、フレーム位相同期はおこなわれずに上述したビット同期のみがおこなわれた状態で多重化信号803として送信される。

#### 【0064】

データ受信装置20側においては、この多重化信号803が多重分離される際、その変換のタイミングにより各トリビュタリ信号のフレームビット位置にずれが生じるが、もともとトリビュタリ信号間のフレームビット位置は一致していないため、ここでは問題とならない。そして、この状態において、上述したトリビュタリ同期回路106によって、フレームビットの位相が揃えられ、つづいてデータ入替回路107によるデータ入れ替えがおこなわれる。

#### 【0065】

データ入替回路107により正しい順に入れ替えられた各トリビュタリ信号は、復号化回路108に入力される。復号化回路108では、入力した各トリビュタリ信号を、データ送信装置10においておこなわれた符号化に対して復号化した後、並直列変換回路109に入力する。並直列変換回路109では、復号化された各トリビュタリ信号を再度多重化して元のデータ信号115に戻す。

#### 【0066】

以上に説明したとおり、実施の形態1にかかるデータ送受信システムによれば、伝送させる信号を複数のトリビュタリ信号に多重分離して符号化した後に再び多重化し、高速信号113として送信する際に、遅延回路103によるビット同期のみをおこなう送信装置10と、伝送路110から受信した上記高速信号113を複数のトリビュタリ信号に多重分離し、各トリビュタリ信号のフレームビットを検出するとともに基準フレームパルスに基づいて各トリビュタリ信号のフレーム位相を揃え、データ入替回路107および復号化回路108を介して元の伝送信号を再生するデータ受信装置20と、から構成されるので、データ送信装置10側において並直列変換回路104への入力位相調整が任意のビットでおこな

うことが可能となり、デバイスのばらつきによる位相差が1ビット以上であっても正常なデータ伝送をおこなえ、高速な通信にも対応できる。

#### 【0067】

実施の形態2.

つぎに、実施の形態2にかかるデータ送受信システム、データ受信装置およびデータ送信装置について説明する。図4は、実施の形態2にかかるデータ送受信システムの概略構成を示すブロック図である。

#### 【0068】

実施の形態2にかかるデータ送受信システムは、図1に示したデータ受信装置20に代えて、直並列変換回路105の後段に順に、データ入替回路307、復号化回路308、トリビュタリ同期回路306が設けられたデータ受信装置30を備え、データ入替回路307およびトリビュタリ同期回路306が、復号化回路308において検出される各トリビュタリ信号のフレームビットおよびトリビュタリID情報に基づいて動作することを特徴としている。

#### 【0069】

よって、図4においては、データ受信装置30のみが、実施の形態1にかかるデータ送受信システムを構成するデータ受信装置20と異なり、データ送信装置10については同構成および同動作であるため、ここではその説明を省略する。

#### 【0070】

図4においてデータ受信装置30は、直列の高速信号113を各トリビュタリ信号114a～114nに多重分離する直並列変換回路105と、直並列変換回路105により多重分離された各トリビュタリ信号114a～114n間のデータの入れ替えを、後述するデータ入替制御信号322に基づいておこなうデータ入替回路307と、データ入替回路307から出力された各トリビュタリ信号のフレームビットを検出してフレームパルスを出力するとともに、各トリビュタリ信号毎にトリビュタリID情報の検出および復号化をおこなう復号化回路308と、上記したフレームパルスに基づいて復号化回路308から出力された各トリビュタリ信号のフレーム位相を揃えるトリビュタリ同期回路306と、各トリビュタリ信号を並直列変換し元のデータ信号115に再生する並直列変換回路10

9と、を備えて構成される。

【0071】

図5は、上記した復号化回路308の概略構成を示すブロック図である。図5において、復号化回路308は、各トリビュタリ信号114a～114nにおいて挿入されているフレームビットの位置を検出してフレームパルスを出力するフレームビット検出部401と、上記したフレームパルスに基づくタイミングで各トリビュタリ信号からトリビュタリID情報を検出するトリビュタリID情報検出部402と、上記したフレームパルスに基づくタイミングで各トリビュタリ信号114a～114nを復号化し、それぞれトリビュタリ信号114a'～114n'として出力する復号化部403と、を備えて構成されている。

【0072】

また、図6は、上記したトリビュタリ同期回路306の概略構成を示すブロック図である。図6において、トリビュタリ同期回路306は、復号化回路308から出力されたトリビュタリ信号114a'～114n'を各信号毎に蓄えるバッファ501と、バッファ501に蓄えられたトリビュタリ信号を出力するタイミングとなる基準フレームパルス521を生成する基準フレームパルス生成部502と、を備えて構成されている。

【0073】

つぎに、上記したデータ受信装置30の動作について説明する。データ受信装置30では、まず、伝送路110から受信した高速信号113を、直並列変換回路105に入力する。直並列変換回路105では、高速信号113を各トリビュタリ信号114a～114nに並列変換することで多重分離する。そして、直並列変換回路105により並列変換された各トリビュタリ信号は、データ入替回路307に入力される。

【0074】

データ入替回路307では、後述するデータ入替制御回路309から出力されるデータ入替制御信号322を入力し、そのデータ入替制御信号322が示すトリビュタリID情報に従った順に各トリビュタリ信号を入れ替える。

【0075】



復号化回路 3 0 8 では、図 5 に示すように、入力した各トリビュタリ信号をそれぞれフレームビット検出部 4 0 1 に入力する。フレームビット検出部 4 0 1 では、入力されたトリビュタリ信号からフレームビットの位置を検出し、その検出結果としてフレームパルス 4 1 4 a ~ 4 1 4 n を出力する。各フレームパルス 4 1 4 a ~ 4 1 4 n は、トリビュタリ ID 情報検出部 4 0 2、復号化部 4 0 3、および、次段のトリビュタリ同期回路 3 0 6 に入力される。

## 【 0 0 7 6 】

トリビュタリ ID 情報検出部 4 0 2 では、フレームビット検出部を通過した各トリビュタリ信号から上記したフレームパルスに基づいてトリビュタリ ID 情報を検出し、トリビュタリ ID 信号 3 2 1 として出力する。このトリビュタリ ID 信号 3 2 1 は、図 4 に示すように、データ入替制御回路 3 0 9 に入力される。データ入替制御回路 3 0 9 では、トリビュタリ ID 信号 3 2 1 によって示されるトリビュタリ ID 情報が、所定の ID と一致するか否かを判定し、一致しない場合には、データ入替制御信号 3 2 2 をデータ入替回路 3 0 7 へと出力する。

## 【 0 0 7 7 】

トリビュタリ ID 情報検出部 4 0 2 を通過した各トリビュタリ信号は、復号化部 4 0 3 に入力される。復号化部 4 0 3 では、入力したトリビュタリ信号を、データ送信装置 1 0 においておこなわれた符号化に対して復号化した後、次段のトリビュタリ同期回路 3 0 6 へと出力する。

## 【 0 0 7 8 】

そして、トリビュタリ同期回路 3 0 6 では、図 6 に示すように、復号化回路 3 0 8 から出力された各トリビュタリ信号 1 1 4 a' ~ 1 1 4 n' の示すデータを、各バッファ 5 0 1 に随時書き込む。また、基準フレームパルス生成部 5 0 2 は、基準フレームパルス 5 2 1 を各バッファ 5 0 1 に入力する。

## 【 0 0 7 9 】

ここで、基準フレームパルス生成部 5 0 2 により生成される基準フレームパルス 5 2 1 は、実施の形態 1 において説明した基準フレームパルス 2 1 1 と同様に、各バッファ 5 0 1 に書き込まれたデータをトリビュタリ同期回路 3 0 6 から同時に出力させるためのタイミングを示す信号である。

【0080】

トリビュタリ同期回路306において特徴となる点は、各バッファ501が、フレームパルスをも入力し、入力されたトリビュタリ信号を示すデータの書き込み先となる同バッファ内のアドレスを、上記フレームパルスを基準に決定していることである。たとえば、トリビュタリ信号を示すデータのうち、フレームパルスとともに入力された部分については、特定のアドレス（たとえば、フレームビットを書き込むためのアドレス）に書き込むようにし、その後続くデータを、その特定のアドレスから連続したアドレスまたは所定関係にあるアドレスに書き込むようにする。

【0081】

そして、各バッファ501は、基準フレームパルス生成部502から出力された基準フレームパルス521を入力した際に、上記した特定アドレスから順にデータを読み出すことにより、フレームビットの位相が揃ったトリビュタリ信号114a"～114n"を出力することができる。すなわち、バッファ501によってフレームビットの位置ずれを吸収することができ、これによりトリビュタリ同期が実現される。

【0082】

つづいて、フレーム位相が揃えられた各信号114a"～114n"信号は、並直列変換回路109に入力され、再度多重化されて元のデータ信号115に戻される。

【0083】

以上に説明したとおり、実施の形態2にかかるデータ送受信システムによれば、データ受信装置30が、伝送路110から受信した上記高速信号113を複数のトリビュタリ信号に多重分離し、各トリビュタリ信号のフレームビットを検出するとともにトリビュタリID情報を検出して、検出したトリビュタリID情報のフィードバック入力に基づいてデータ入れ替えをおこない、検出したフレームビットにより定まるアドレスを先頭にトリビュタリ信号を書き込むバッファ501から、基準フレームパルスに基づいて各トリビュタリ信号を読み出すことでフレーム位相を揃え、その後、元の伝送信号を再生するので、バッファ501にお

いてトリビュタリ信号間のフレーム位相差を吸収することができ、実施の形態 1 と同様に、デバイスのばらつきによる位相差が 1 ビット以上であっても正常なデータ伝送をおこなえ、高速な通信にも対応することができる。

#### 【0084】

実施の形態 3.

つぎに、実施の形態 3 にかかるデータ送受信システム、データ受信装置およびデータ送信装置について説明する。実施の形態 3 にかかるデータ送受信システムは、データ送信装置において、実施の形態 1 に示した遅延回路 103 に代えて、後述するビット同期回路を用いた点が、上述した実施の形態 1 および 2 と異なる。よって、実施の形態 3 にかかるデータ送受信システムを構成するデータ受信装置は、実施の形態 1 または 2 に示したデータ受信装置 20 または 30 によって置換され、ここではそれらの説明を省略する。

#### 【0085】

図 7 は、実施の形態 3 にかかるビット同期回路の概略構成を示すブロック図である。図 7 において、ビット同期回路 601 は、符号化回路 102 から出力されたトリビュタリ信号 112 の位相を監視する位相監視部 603 と、位相監視部 603 から出力される位相ずれ信号 611 に基づいてトリビュタリ信号 112 の遅延時間を制御する可変遅延部 602 と、を備えて構成される。

#### 【0086】

つぎに、このビット同期回路 601 の動作について説明する。図 7 において、符号化回路 102 により符号化されたトリビュタリ信号 112 は、位相監視部 603 および可変遅延部 602 に入力される。位相監視部 603 では、ビット同期回路 601 に入力されるクロック 612 に対してのトリビュタリ信号 112 の位相ずれを監視し、その位相ずれを示す位相ずれ信号 611 を出力する。

#### 【0087】

一方、可変遅延部 602 では、トリビュタリ信号 112 を入力するとともに、位相監視部 603 から出力された位相ずれ信号を入力し、その位相ずれ信号が示す位相ずれが解消される時間だけ、トリビュタリ信号 112 を遅延させて出力する。

【0088】

このビット同期回路 601 は、実施の形態 1 に示した遅延回路 103 と同様に、各トリビュタリ信号 112a ~ 112n 毎に設けられるため、結局、上記した共通のクロックに基づいた位相ずれの補正により、複数のトリビュタリ信号 112a ~ 112n 間のビット位相が揃えられる。

【0089】

なお、このビット同期回路 601 を設けたデータ送信装置においても、実施の形態 1 に示したデータ送信装置 10 と同様に、ビット同期回路 601 によるビット位相同期だけをおこない、フレーム位相同期をおこなう必要はない。

【0090】

以上に説明したとおり、実施の形態 3 にかかるデータ送受信システムによれば、データ送信装置において、複数のトリビュタリ信号のビット同期位相をおこなうのに、共通のクロック 612 に基づいて検出したトリビュタリ信号 112 の位相ずれに基づいて、トリビュタリ信号 112 の遅延時間を制御するビット同期回路を備えているので、熱やノイズ等の混入または高速信号から低速信号への変換タイミングのずれ等により変動した複数のトリビュタリ間の位相ずれに対しても、即座に補正をおこなうことができ、データ送信において安定したビット同期を実現することができる。

【0091】

【発明の効果】

以上、説明したとおり、この発明によれば、データ送信装置が、フレーム形成されたトリビュタリ信号間の同期としてビット同期のみをおこなった信号を伝送路上に送信し、データ受信装置が、その信号を受信して多重分離したトリビュタリ信号毎に、そのトリビュタリ信号により示されるデータを蓄え、各トリビュタリ信号のフレームビットの検出と基準フレームパルスとに基づいたタイミングで、上記したデータを出力することによりトリビュタリ同期を達成するので、送信側においてフレーム同期をおこなわずとも、受信側においてフレームの位相を揃えることができ、通信システムの高速化に対してデバイスのばらつきや設計のばらつきによる 1 ビット以上の位相ずれが発生しても柔軟に対応することが可能と

なるという効果を奏する。

【0092】

つぎの発明によれば、データ送信装置が、第1の直並列変換回路、符号化回路、遅延回路および第1の並直列変換回路により、順に伝送信号のトリビュタリ信号への多重分離、フレーム形成、ビット同期および多重化送信をおこない、データ受信装置が、第2の直並列変換回路、トリビュタリ同期回路、データ入替回路、復号化回路および第2の並直列変換回路により、順に伝送信号のトリビュタリ信号への多重分離、フレームビットの検出と基準フレームパルスとに基づいたタイミングによる各トリビュタリ信号の出力、トリビュタリID情報に基づくデータの入れ替え、フレーム形成に対する復号化および再度の多重化による伝送信号の再生をおこなうことで、受信側でトリビュタリ同期を達成するので、データ送信装置においてフレーム同期をおこなわずとも、データ受信装置のトリビュタリ同期回路においてフレームの位相を揃え、伝送信号を再生することができ、通信システムの高速化により各トリビュタリ間のフレームの位相ばらつきが1ビット以上の位相差を持つような場合にも、トリビュタリ同期をおこなうことができるという効果を奏する。

【0093】

つぎの発明によれば、トリビュタリ同期回路が、トリビュタリ信号の示すデータをバッファに蓄積し、フレームビット検出部により出力されるフレームパルスと、基準フレームパルス生成部により生成される基準フレームパルスと、に定まるタイミングによって、上記したバッファに蓄えられたデータを取り出すことで、各トリビュタリ信号をトリビュタリ信号間のフレームビットの位相が揃った状態で出力させることができ、高速なトリビュタリ同期を実現することが可能となるという効果を奏する。

【0094】

つぎの発明によれば、データ送信装置が、第1の直並列変換回路、符号化回路、遅延回路および第1の並直列変換回路により、順に伝送信号のトリビュタリ信号への多重分離、フレーム形成、ビット同期および多重化送信をおこない、データ受信装置が、第2の直並列変換回路、データ入替回路、復号化回路、データ入

替制御回路、トリビュタリ同期回路および第2の並直列変換回路により、順に伝送信号のトリビュタリ信号への多重分離、データ入替制御信号に基づくデータの入れ替え、フレームビットの検出によるフレームパルスの出力とトリビュタリID情報の検出によるトリビュタリID信号の出力とフレーム形成に対する復号化、上記したフレームパルスと基準フレームパルスとに基づいたタイミングによる各トリビュタリ信号の出力、トリビュタリID情報に基づくデータの入れ替え、上記したトリビュタリID信号に基づく上記データ入替制御信号の出力、上記したフレームパルスと基準フレームパルスとに基づいたタイミングによる各トリビュタリ信号の出力および再度の多重化による伝送信号の再生をおこなうことで、受信側でトリビュタリ同期を達成するので、このように復号化後のトリビュタリ信号に対しても高速なトリビュタリ同期をおこなうことができるという効果を奏する。

## 【0095】

つぎの発明によれば、復号化回路が、フレームビット検出部によりフレームビットを検出してフレームパルスを出し、そのフレームパルスに基づいたタイミングで、トリビュタリID情報検出部によりトリビュタリID情報を検出してトリビュタリID信号を生成するとともに復号化部によりフレーム形成に対する復号化をおこなうので、次段のトリビュタリ同期回路へ復号化後のトリビュタリ信号とともに上記フレームパルスを供給することが可能となり、トリビュタリ同期回路の同期動作においてトリビュタリID情報の検出によって生じる遅延の影響を与えることがなくなるという効果を奏する。

## 【0096】

つぎの発明によれば、トリビュタリ同期回路が、バッファ中のフレームパルスにより定まるアドレスから順に、トリビュタリ信号の示すデータを蓄え、基準フレームパルス生成部により生成される基準フレームパルスに基づくタイミングで、そのデータを上記したアドレスから順に取り出すので、そのアドレスを、たとえばフレームビットが書き込まれる番地とすることで、各トリビュタリ信号をトリビュタリ信号間のフレームビットの位相が揃った状態で出力させることができ、受信側においてフレーム同期がおこなわれていない信号に対してもトリビュタ

リ同期が可能となるという効果を奏する。

【0097】

つぎの発明によれば、データ送信装置が、トリビュタリ信号間において共通なクロック信号に対する位相ずれを検出し、検出した位相ずれに応じて各トリビュタリ信号を遅延させるビット同期回路によって、ビット同期をおこなうので、設計の段階で送信時に生じる遅延量の調整範囲を考慮する必要がなくなり、ビット位相のずれの変動に対しても柔軟に対応できるという効果を奏する。

【0098】

つぎの発明によれば、伝送路から受信した信号を複数のトリビュタリ信号に多重分離し、各トリビュタリ信号毎に、そのトリビュタリ信号により示されるデータを蓄え、各トリビュタリ信号のフレームビットの検出と基準フレームパルスとに基づいたタイミングで、上記したデータを出力することによりトリビュタリ同期を達成するので、送信側においてフレーム同期をおこなわれていない信号に対してもフレームの位相を揃えることができ、通信システムの高速化に対してデバイスのばらつきや設計のばらつきによる1ビット以上の位相ずれが発生しても柔軟に対応することが可能となるという効果を奏する。

【0099】

つぎの発明によれば、直並列変換回路、トリビュタリ同期回路、データ入替回路、復号化回路および並直列変換回路により、順に伝送信号のトリビュタリ信号への多重分離、フレームビットの検出と基準フレームパルスとに基づいたタイミングによる各トリビュタリ信号の出力、トリビュタリID情報に基づくデータの入れ替え、フレーム形成に対する復号化および再度の多重化による伝送信号の再生をおこなうことで、受信側でトリビュタリ同期を達成するので、データ送信装置においてフレーム同期がおこなわれていない信号に対しても、データ受信装置のトリビュタリ同期回路においてフレームの位相を揃え、伝送信号を再生することができ、通信システムの高速化により各トリビュタリ間のフレームの位相ばらつきが1ビット以上の位相差を持つような場合にも、トリビュタリ同期をおこなうことができるという効果を奏する。

【0100】

つぎの発明によれば、トリビュタリ同期回路が、トリビュタリ信号の示すデータをバッファに蓄積し、フレームビット検出部により出力されるフレームパルスと、基準フレームパルス生成部により生成される基準フレームパルスと、に定まるタイミングによって、上記したバッファに蓄えられたデータを取り出すことで、各トリビュタリ信号をトリビュタリ信号間のフレームビットの位相が揃った状態で出力させることができ、高速なトリビュタリ同期を実現することが可能になるという効果を奏する。

#### 【0101】

つぎの発明によれば、直並列変換回路、データ入替回路、復号化回路、データ入替制御回路、トリビュタリ同期回路および並直列変換回路により、順に伝送信号のトリビュタリ信号への多重分離、データ入替制御信号に基づくデータの入れ替え、フレームビットの検出によるフレームパルスの出力とトリビュタリID情報の検出によるトリビュタリID信号の出力とフレーム形成に対する復号化、上記したフレームパルスと基準フレームパルスとに基づいたタイミングによる各トリビュタリ信号の出力、トリビュタリID情報に基づくデータの入れ替え、上記したトリビュタリID信号に基づく上記データ入替制御信号の出力、上記したフレームパルスと基準フレームパルスとに基づいたタイミングによる各トリビュタリ信号の出力および再度の多重化による伝送信号の再生をおこなうことで、受信側でトリビュタリ同期を達成するので、このように復号化後のトリビュタリ信号に対しても高速なトリビュタリ同期をおこなうことができるという効果を奏する。

#### 【0102】

つぎの発明によれば、復号化回路が、フレームビット検出部によりフレームビットを検出してフレームパルスを出し、そのフレームパルスに基づいたタイミングで、トリビュタリID情報検出部によりトリビュタリID情報を検出してトリビュタリID信号を生成するとともに復号化部によりフレーム形成に対する復号化をおこなうので、次段のトリビュタリ同期回路へ復号化後のトリビュタリ信号とともに上記フレームパルスを供給することが可能になり、トリビュタリ同期回路の同期動作においてトリビュタリID情報の検出によって生じる遅延の影響



響を与えることがなくなるという効果を奏する。

【0103】

つぎの発明によれば、トリビュタリ同期回路が、バッファ中のフレームパルスにより定まるアドレスから順に、トリビュタリ信号の示すデータを蓄え、基準フレームパルス生成部により生成される基準フレームパルスに基づくタイミングで、そのデータを上記したアドレスから順に取り出すので、そのアドレスを、たとえばフレームビットが書き込まれる番地とすることで、各トリビュタリ信号をトリビュタリ信号間のフレームビットの位相が揃った状態で出力させることができ、受信側においてフレーム同期がおこなわれていない信号に対してもトリビュタリ同期が可能になるという効果を奏する。

【0104】

つぎの発明によれば、トリビュタリ信号間において共通なクロック信号に対する位相ずれを検出し、検出した位相ずれに応じて各トリビュタリ信号を遅延させるビット同期回路によって、ビット同期をおこなうので、設計の段階で送信時に生じる遅延量の調整範囲を考慮する必要がなくなり、ビット位相のずれの変動に対しても柔軟に対応できるという効果を奏する。

【図面の簡単な説明】

【図1】 実施の形態1にかかるデータ送受信システムの概略構成を示すブロック図である。

【図2】 実施の形態1にかかるデータ送受信システムのトリビュタリ同期回路の概略構成を示すブロック図である。

【図3】 実施の形態1にかかるデータ送受信システムの動作において、データに含まれるフレームビット位置を説明するための説明図である。

【図4】 実施の形態2にかかるデータ送受信システムの概略構成を示すブロック図である。

【図5】 実施の形態2にかかるデータ送受信システムの復号化回路の概略構成を示すブロック図である。

【図6】 実施の形態2にかかるデータ送受信システムのトリビュタリ同期回路の概略構成を示すブロック図である。

【図 7】 実施の形態 3 にかかるビット同期回路の概略構成を示すブロック図である。

【図 8】 従来における同期検出回路の概略構成を示すブロック図である。

【図 9】 従来における同期検出回路の動作において、データに含まれるフレームビット位置を説明するための説明図である。

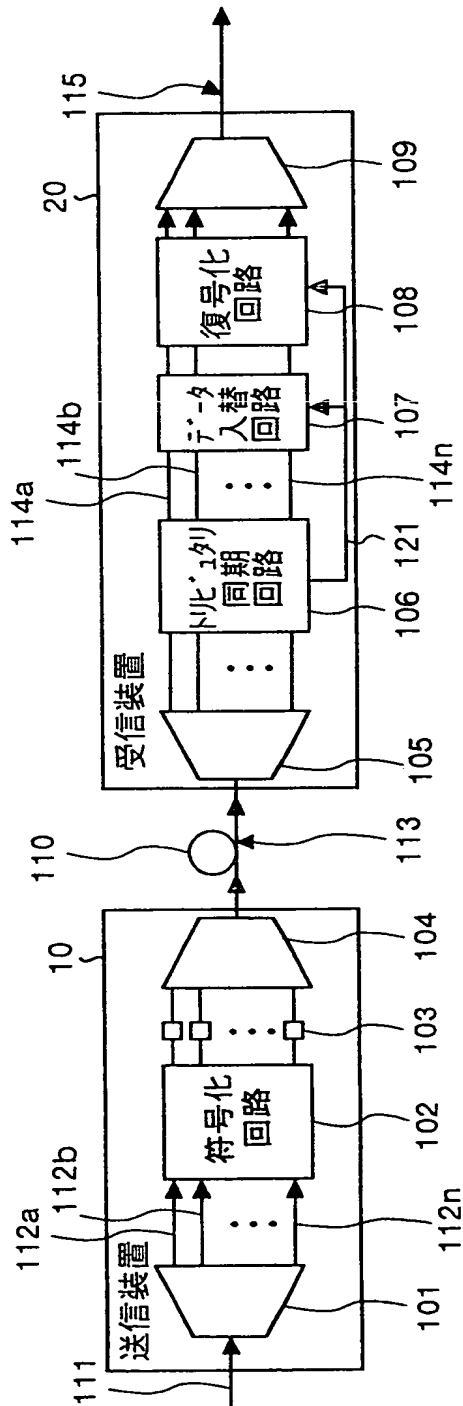
【符号の説明】

10 データ送信装置、20, 30 データ受信装置、101, 105 直並列変換回路、102 符号化回路、103 遅延回路、104, 109 並直列変換回路、106, 306 トリビュタリ同期回路、107, 307 データ入替回路、108, 308 復号化回路、110 伝送路、201, 501 バッファ、202, 401 フレームビット検出部、203, 502 基準フレームパルス生成部、309 データ入替制御回路、402 トリビュタリ ID 情報検出部、403 復号化部、601 ビット同期回路、602 可変遅延部、603 位相監視部。

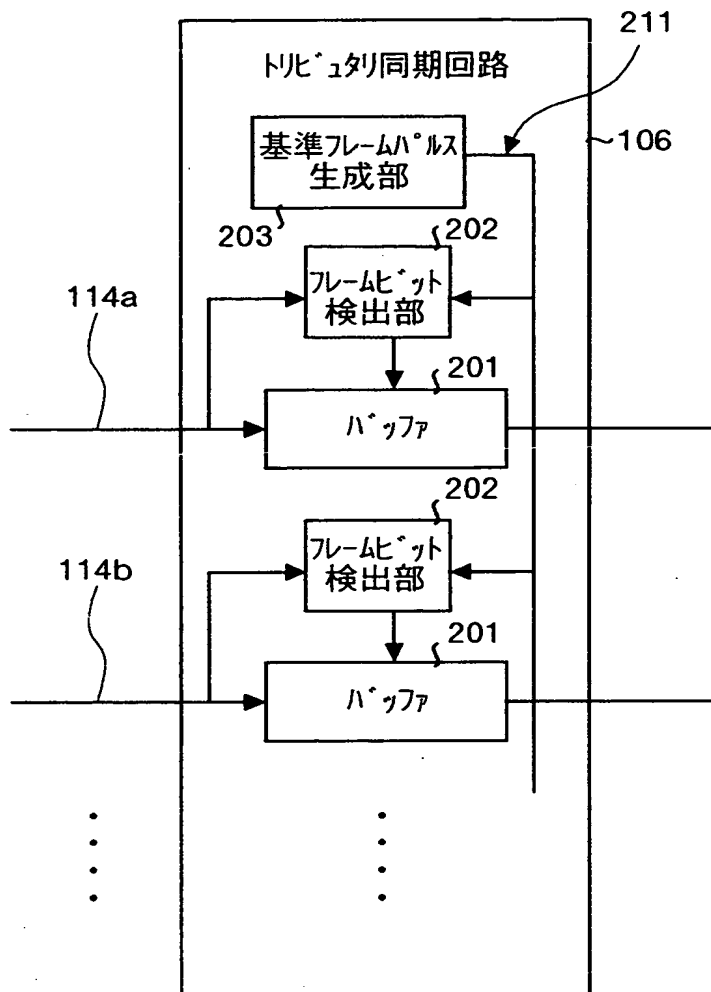
【書類名】

図面

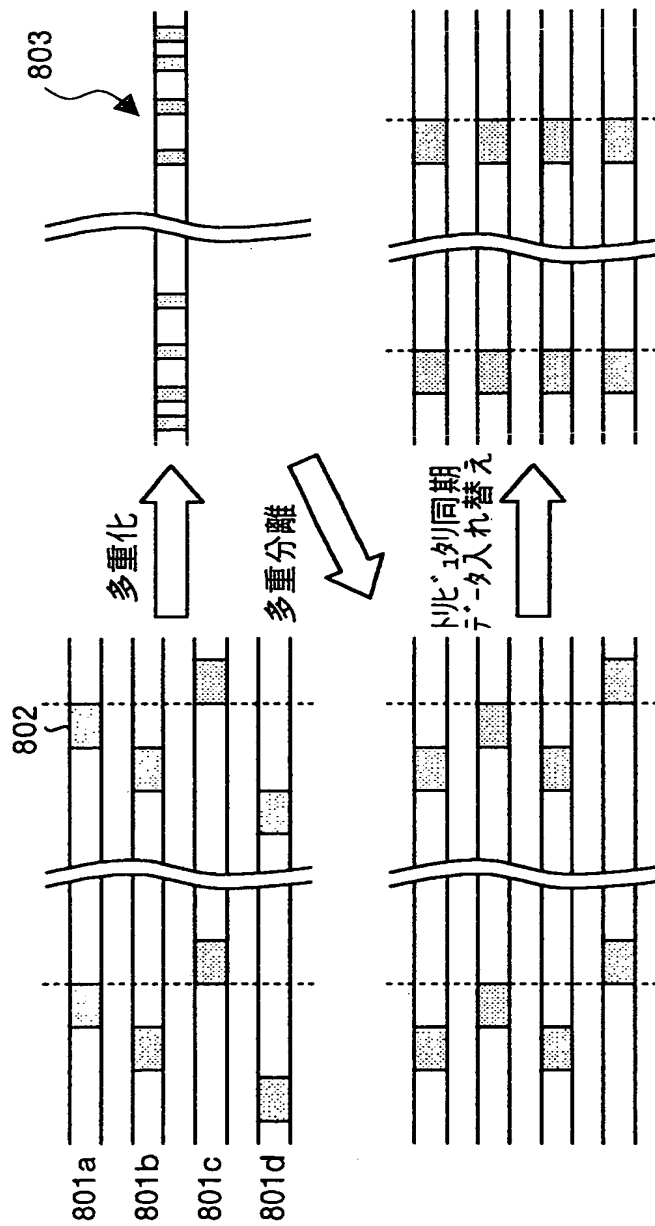
【図 1】



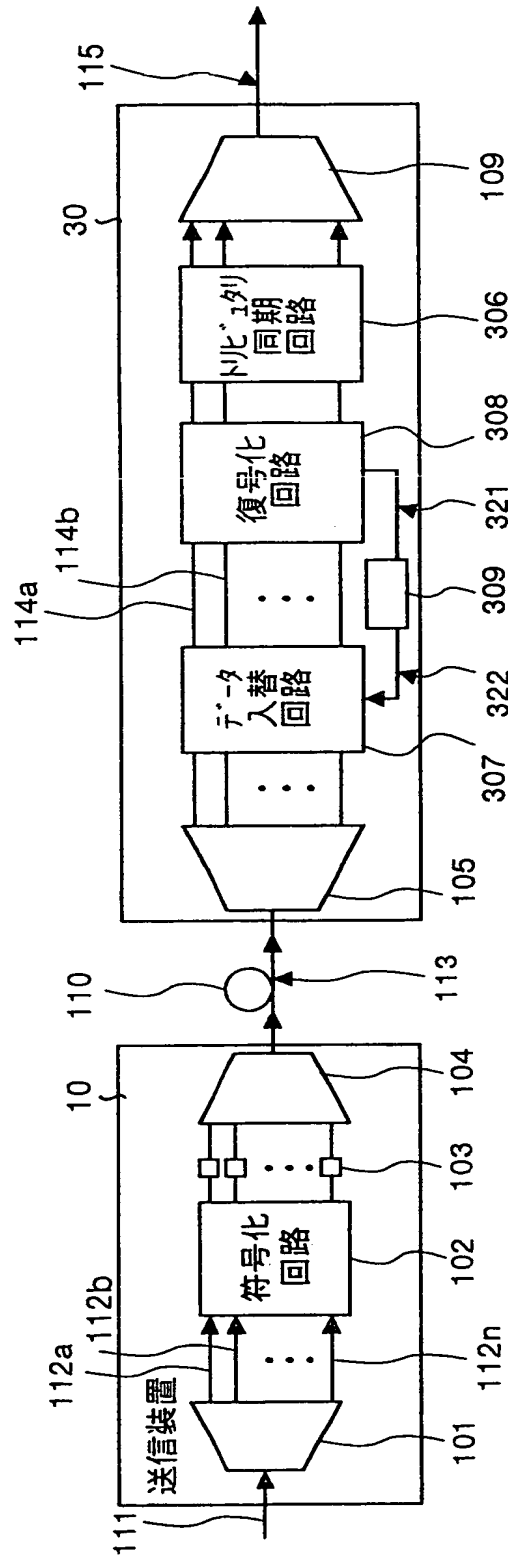
【図 2】



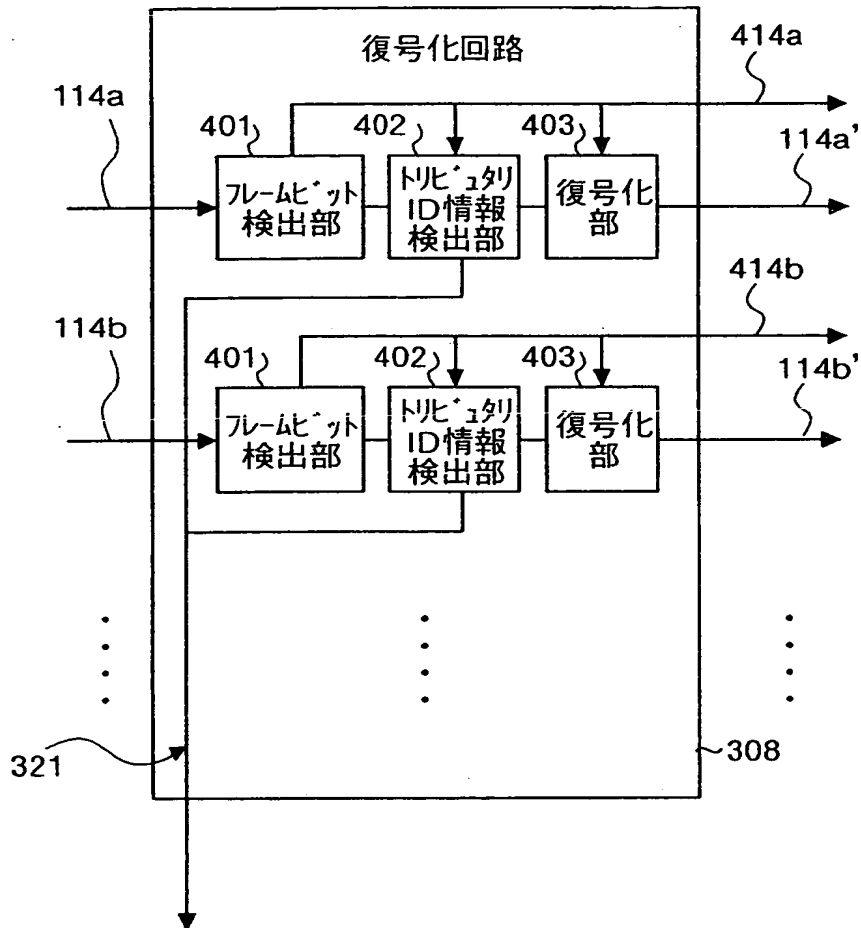
【図 3】



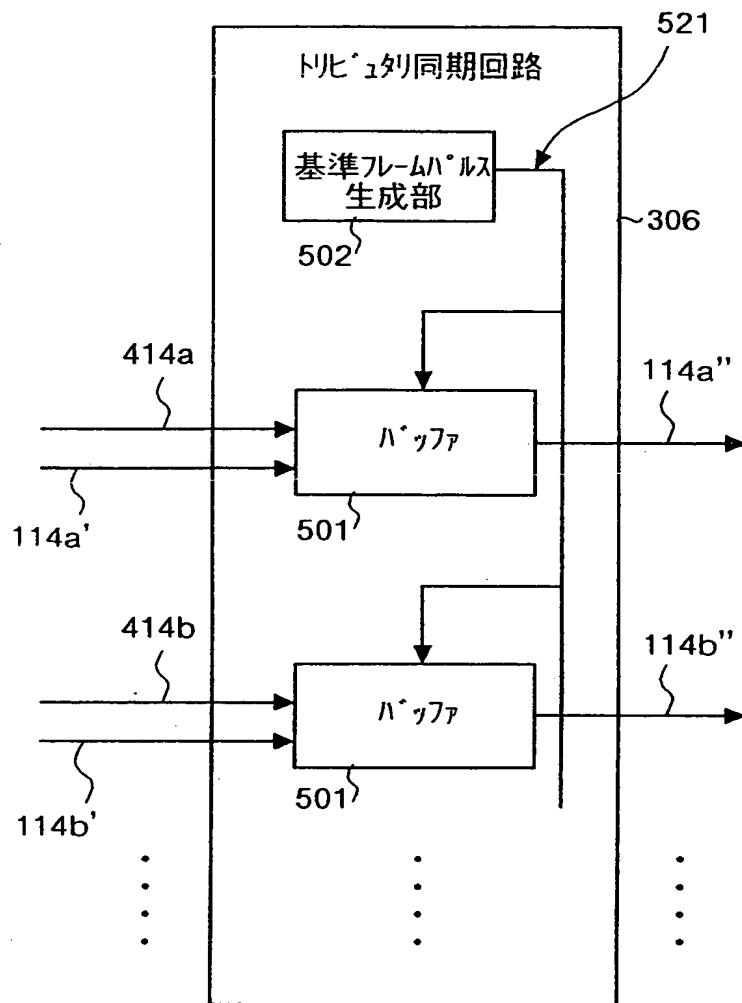
【図 4】



【図 5】

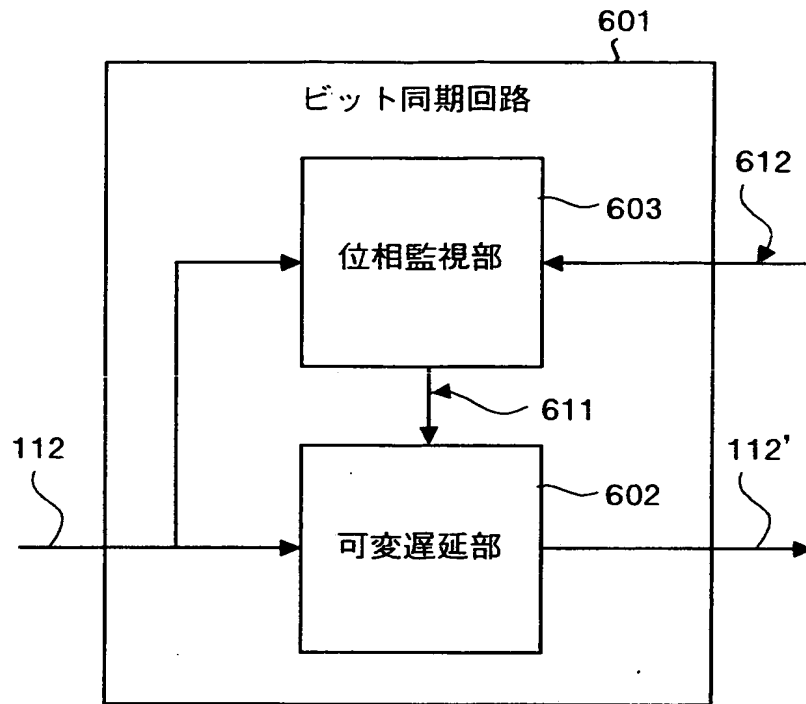


【図 6】

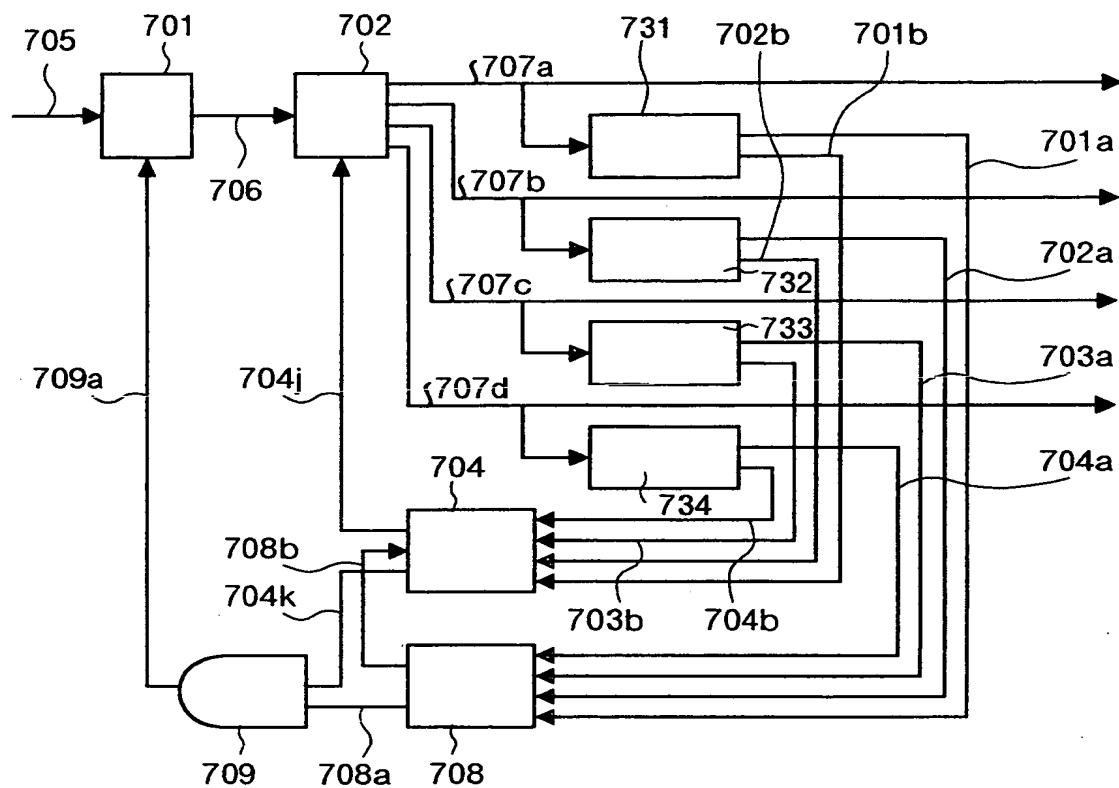




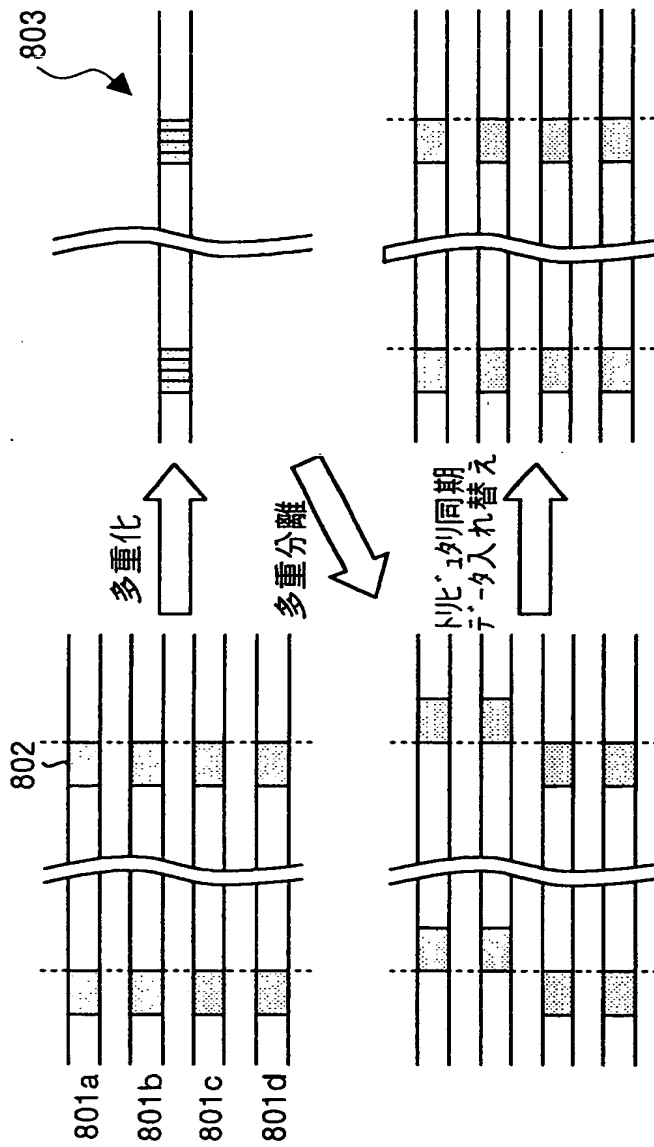
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 送信側において各トリビュタリ間のフレーム位相を揃えることなく、高速なトリビュタリ同期をおこなうデータ送受信システムを得ること。

【解決手段】 データ送信装置 1 0 が、直並列変換回路 1 0 1 により多重分離された複数のトリビュタリ信号を符号化回路 1 0 2 によりフレーム化し、遅延回路 1 0 3 によりトリビュタリ信号間の同期としてビット同期のみをおこなった信号を並直列変換回路 1 0 4 により多重化して伝送路 1 1 0 上に送信する。そして、データ受信装置 2 0 が、その伝送路 1 1 0 上の信号を受信し、直並列変換回路 1 0 5 により多重分離したトリビュタリ信号毎に、トリビュタリ同期回路 1 0 6 によって、そのトリビュタリ信号の示すデータが蓄えられ、各トリビュタリ信号のフレームビットの検出と基準フレームパルスとに基づいたタイミングで、上記データを出力する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社